



## INTERRUPCIONES

La comunicación asíncrona de los sistemas periféricos con la CPU, en ambos sentidos, se puede establecer de dos maneras fundamentales:

a) Consultas (POLLING): Se comprueban cíclicamente, mediante instrucciones del programa, los registros de estado de los dispositivos de E/S.

Desventajas:

- En cada ciclo de programa, el microcontrolador tiene que interrogar los bits de consulta.
- Al periférico se le atiende después de realizar la consulta y no cuando solicita la intervención de la CPU.

b) Interrupción: Servicio directo entre periféricos y CPU, siempre que ésta desee establecer diálogo. Este servicio tiene la característica de atender en forma inmediata, puede eliminarse total o parcialmente los ciclos de consultas y permite inhibir la interrupción cuando se considera que es “INOPORTUNA”.

El tener que examinar periódicamente las banderas de estado de los dispositivos de E/S, monopoliza una porción importante del tiempo de operación del microprocesador. Esto reduce la cantidad de información procesada o transmitida por el sistema durante un período de tiempo específico. De ahí que sea mucho más ventajoso, tanto en términos de la cantidad de información procesada como de la complejidad del programa, que dispositivo periférico solicite directamente el servicio del microprocesador. Las interrupciones dotan al sistema de esta capacidad.

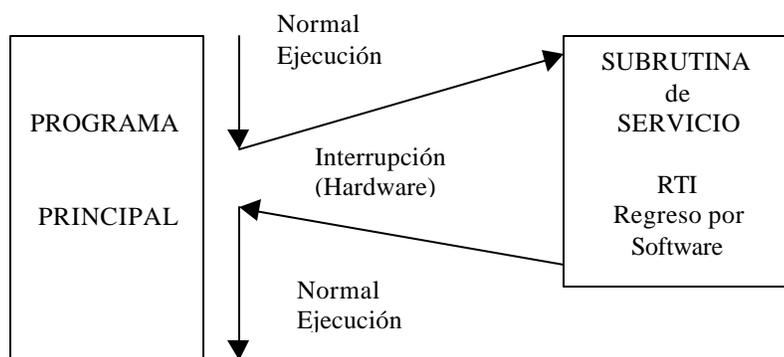
Una INTERRUPCION se puede definir como una señal proveniente de un dispositivo externo, que llega a una entrada del microprocesador dedicada a este propósito y que indica al microprocesador que el dispositivo que la originó está solicitando servicio.

Cuando ocurre una interrupción, el microprocesador suspende temporalmente la ejecución del programa principal y transfiere el control a una subrutina especialmente diseñada para atender al dispositivo que provocó la interrupción, a



esta subrutina se le denomina SUBROUTINA DE SERVICIO DE LA INTERRUPCIÓN (*Interrupt Service Routine*) o MANEJADOR DE INTERRUPCIÓN (*Interrupt Handler*). Al terminar el servicio, el microprocesador regresa al programa principal, continuando con sus actividades normales. Desde este punto de vista una interrupción es esencialmente una llamada a SUBROUTINA iniciada por un circuito externo (hardware) y con un retorno controlado por programa (software).

Además, las interrupciones tienen las características de que son eventos asíncronos, es decir, pueden ocurrir en cualquier momento durante la ejecución del programa principal sin posibilidad de hacer una predicción exacta. Por ello hay que hacer consideraciones especiales y tener cuidados adicionales al manejarlas.



## USOS DE LAS INTERRUPCIONES

Las interrupciones se utilizan:

- a) En la detección de eventos catastróficos para el sistema, tales como las fallas súbitas en las fuentes de alimentación. Por medio de una interrupción el microprocesador pueden ser alertado a tiempo de preservar la información vital y desconectar los dispositivos que puedan dañarse.



- b) En dispositivos donde el microprocesador no necesita obtener información con mucha frecuencia. Por ejemplo, en sistemas de alarma, ya que el microprocesador no sabe cuando va a aparecer una situación que requiera sus servicios. El dispositivo genera una interrupción cuando llega el momento, y mientras tanto el microprocesador puede ejecutar otras tareas.
- c) En la atención a dispositivos periféricos que son mucho más lentos que el microprocesador, teclados, pantallas, impresoras. En vez de que el microprocesador los espere, es más eficiente que los dispositivos lo interrumpan cuando tengan algo nuevo que enviar o estén listos para recibir.
- d) En el servicio de periféricos de alta velocidad (discos) o dispositivos para los cuales sea muy difícil de mantener la información hasta el momento en que el microprocesador la solicite.

## **VENTAJAS Y DESVENTAJAS DE LAS INTERRUPCIONES**

### *VENTAJAS:*

1. Liberan al microprocesador de la pérdida de tiempo causada por esperar a que ocurra cierto evento.
2. Permiten la ejecución de un programa principal junto con el control simultáneo de varios dispositivos externos.
3. Proporciona servicio prioritario a dispositivos críticos dentro del sistema.
4. Facilitan la detección de eventos en “tiempo real”.

### *DESVENTAJAS:*

1. Pueden ser necesarios circuitos externos adicionales para la generación de la señal de interrupción y la identificación del dispositivo.
2. Dada su naturaleza asíncrona, es muy difícil probar su funcionamiento, y todavía más encontrar posibles fallas.
3. Pueden requerir instrucciones adicionales además de las estrictamente necesarias para dar servicio al dispositivo. Por ejemplo para preservar registros o identificar al dispositivo.



## TIPOS DE INTERRUPCIÓN

Un microprocesador puede tener entradas para responder a dos tipos de interrupciones:

- Inhibibles (*maskarable*)
- No Inhibibles (*non maskarable*)

Cuando se activa una entrada de INTERRUPCIÓN NO INHIBIBLE, el microprocesador, siempre es interrumpido, es decir, la señal de interrupción es aceptada bajo cualquier condición. Esto hace que las interrupciones no inhibibles sean las más apropiadas para manejar eventos catastróficos tales como pérdida de energía.

Por otro lado, cuando se activa una entrada de INTERRUPCIÓN INHIBIBLE, el microprocesador reconoce la interrupción solamente si esa entrada se encuentra habilitada. Las entradas de interrupción inhibibles se habilitan o inhabilitan bajo el control del programa. Si la entrada está habilitada, el microprocesador ignora la interrupción. En la figura se muestra la configuración interna de las entradas de interrupción inhibible y no inhibible en un microprocesador.

Una entrada de interrupción no inhibible se puede inhabilitar externamente por medio de una señal proveniente de un puerto de salida.

### Respuesta a una interrupción

En respuesta a una interrupción el microprocesador realiza las siguientes operaciones:

1. Se completa la instrucción que está en proceso.
2. Se ejecuta un ciclo de máquina especial, durante el cual se almacena el contenido del contador del programa y se transfiere el control a una dirección apropiada.
3. Se inicia la ejecución de la subrutina de servicio a la interrupción, preservando el estado de la CPU si esto es necesario.



4. Si son varios los dispositivos que pudieron haber causado la interrupción, se identifica aquel que haya solicitado la interrupción primero y tenga mayor prioridad.
5. Se ejecuta la parte de la subrutina de servicio que complete directamente a la atención del dispositivo que interrumpe.
6. Se restaura el estado original del microprocesador.
7. Se devuelve el control a la instrucción siguiente, a aquella donde ocurrió la interrupción.

Cada etapa requiere de una cierta cantidad de tiempo. La combinación de los tiempos para un microprocesador dado, junto con la circuitería externa de interrupción, determinan la velocidad de respuesta del microprocesador a una solicitud de servicio generada por un dispositivo de E/S.

El tiempo que transcurre entre la ocurrencia de la interrupción y el inicio de la ejecución de la subrutina de servicio se conoce como el TIEMPO DE RESPUESTA. A diferencia entre el tiempo total que el microprocesador dura interrumpido y al tiempo real de ejecución de la subrutina de servicio se les llama sobrecarga (*overhead*).

El número de circuitos adicionales requeridos para producir la respuesta a una interrupción varía mucho. Algunos microprocesadores construyen internamente la instrucción que transfiere el control a la subrutina de servicio; otros necesitan circuitos externos para generar la instrucción de transferencia de control o para formar la dirección de la subrutina de servicio.

El número de entradas de interrupción que tenga el circuito integrado de un microprocesador determina el número de respuestas que puede producir sin hardware o software adicionales. La CPU solamente puede generar una instrucción o dirección diferente por cada entrada de interrupción.

## **PRIORIDAD EN LAS INTERRUPCIONES**

Como las interrupciones son asíncronas, puede suceder que varios dispositivos soliciten la interrupción del microprocesador simultáneamente. Es claro que no es posible atender a todos los dispositivos a la vez por tanto, el microprocesador debe contar con algún medio para jerarquizar y decidir cuál de todas las interrupciones es la más importante para atenderla primero. En este mismo



contexto, puede suceder que una interrupción ocurra durante la ejecución de una subrutina de servicio, produciendo el fenómeno de anidamiento (una interrupción dentro de otra). La manera de lograr que la segunda interrupción tenga precedencia sobre la primera es otorgándole una prioridad mayor.

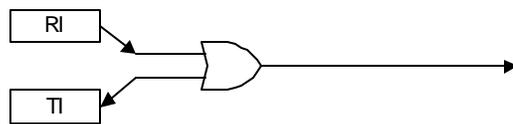
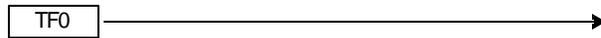
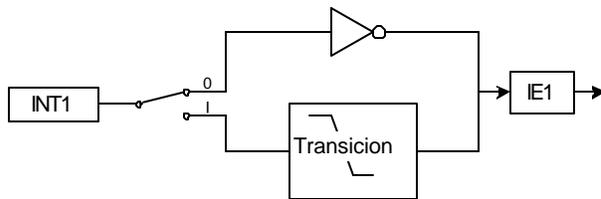
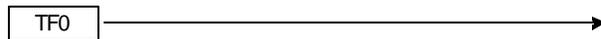
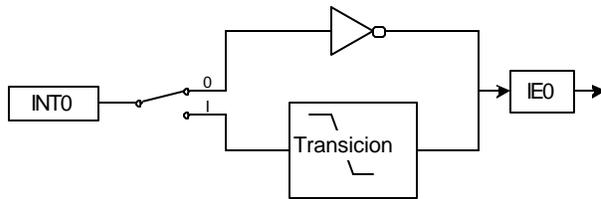
Al conjunto de mecanismos que le permiten al microprocesador diferenciar entre interrupciones importantes y no importantes se le llama SISTEMA DE INTERRUPCIÓN CON PRIORIDAD o SISTEMA JERARQUIZADO DE INTERRUPCIONES.

En un microprocesador, la circuitería interna puede proporcionar tantos niveles de prioridad como entradas de interrupción externas existan.

## **INTERRUPCIONES EN EL 8051**

Como ya se ha mencionado toda interrupción aceptada conduce a la ejecución de un subprograma específico cuya dirección de comienzo se indica en las posiciones de memoria de una tabla, que recibe el nombre de TABLA DE VECTORIZACIÓN.

El microcontrolador 8051 tiene 5 interrupciones. Estas se muestran en la siguiente figura. Las interrupciones externas INT0 y INT1



Los bits de *flag* que generan las interrupciones pueden ser cancelados, en algunas interrupciones, por *hardware*, cuando éstas son vectorizadas; no obstante, todos los bits pueden cancelarse por *software* escribiendo ceros en el registro correspondiente.

Cada una de estas fuentes de interrupción pueden ser individualmente habilitadas o inhabilitadas, poniendo a “uno” o a “cero” el bit correspondiente del registro **IE (interrupt enable register)**. Este registro se encuentra localizado dentro de la zona de memoria interna perteneciente a la memoria interna.

b7	b6	b5	b4	b3	b2	b1	b0
EA	*----	*ET2	ES	ET1	EX1	ET0	EX0

En la siguiente tabla se describen en forma exhaustiva cada uno de los bits pertenecientes al registro **IE (dirección A8H)**.



<b>BIT</b>	<b>Nombre y Comentario</b>
b <sub>0</sub>	<b>EX0:</b> Si EX0 = 1. Habilita la interrupción <i>externa INT0</i> Si EX0 =0. Inhabilitada
b <sub>1</sub>	<b>ET0:</b> Si ET0 = 1. Habilita la interrupción del <i>Timer 0</i> Si ET0 =0. Inhabilitada
b <sub>2</sub>	<b>EX1:</b> Si EX1 = 1. Habilita la interrupción <i>externa INT1</i> Si EX1 =0. Inhabilitada
b <sub>3</sub>	<b>ET1:</b> Si ET1= 1. Habilita la interrupción <i>Timer 1</i> Si ET2 =0. Inhabilitada
b <sub>4</sub>	<b>ES:</b> Si ES = 1. Habilita la interrupción <i>del puerto serie</i> . Si ES =0. Inhabilitada
b <sub>5</sub>	<b>*ET2:</b> Si ET2 = 1. Habilita la interrupción <i>Timer 2</i> . Si ET2 =0. Inhabilitada
b <sub>6</sub>	*Reservada.
b <sub>7</sub>	<b>EA:</b> Si EA = 1. Habilita individualmente a todas las interrupciones que en este registro están en uno. Si EA =0. No reconoce ninguna interrupción.

**\* solo se pueden utilizar en el 8052.**

Las interrupciones presentan una tabla, llamada tabla de vectorización en la que se reservan 8 posmem para cada una de las interrupciones en la memoria de programas.

<b>Fuente</b>	<b>Dirección</b>
INT0	0003H
TIMER0	000BH
INT1	0013H
TIMER1	001BH
RI + TI	0023H

**Tabla 1** Tabla de Vectorización



En estas 8 posmem normalmente se coloca un instrucción de salto para modificar el flujo del programa de la subrutina de servicio de la interrupción de manera que exista una zona de memoria lo suficientemente grande para albergar la rutina de tratamiento de la interrupción detectada.